

Birch, Stewart et al.  
(703) 205-8020  
1248-0675-P  
DEC. 12, 2003  
INOUE et al.  
NEW  
1061

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 2 月 2 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 8 1 6 9 3  
[ST. 10/C]: [ J P 2 0 0 2 - 3 8 1 6 9 3 ]

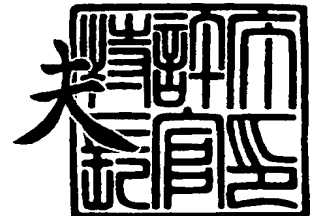
出 願 人  
Applicant(s): シャープ株式会社



2 0 0 3 年 8 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 9 1 6 9

【書類名】 特許願

【整理番号】 02J04639

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/082  
H01L 31/09

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 井上 高広

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 横川 成一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 川島 亮介

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

## 【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

## 【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

## 【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光リーク電流補償回路およびそれを用いる光信号用回路

【特許請求の範囲】

【請求項 1】

集積回路内に構成され、第 1 の PNP トランジスタと、その第 1 の PNP トランジスタのベースがコレクタに接続される第 2 の NPN トランジスタとのダーリントン回路に発生する光リーク電流を補償する光リーク電流補償回路において、

前記第 1 の PNP トランジスタのコレクタにエミッタが接続され、コレクタが接地されて前記第 1 の PNP トランジスタのコレクタ電流を吸い込むことで補償を行う第 3 の PNP トランジスタと、前記第 3 の PNP トランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第 4 の NPN トランジスタとのダーリントン回路を備えて構成されることを特徴とする光リーク電流補償回路。

【請求項 2】

前記第 1 の PNP トランジスタおよび第 2 の NPN トランジスタの N 型エピタキシャル層の面積をそれぞれ  $S_1$ 、 $S_2$  とし、前記第 3 の PNP トランジスタおよび第 4 の NPN トランジスタの N 型エピタキシャル層の面積をそれぞれ  $S_3$ 、 $S_4$  とするとき、

$$S_1 \leq S_3、かつ S_2 \leq S_4$$

に形成することを特徴とする請求項 1 記載の光リーク電流補償回路。

【請求項 3】

前記第 1 の PNP トランジスタのコレクタ電流がベースに与えられる第 5 の NPN トランジスタを備えることを特徴とする請求項 2 記載の光リーク電流補償回路。

【請求項 4】

前記各トランジスタがラテラル構造であることを特徴とする請求項 1～3 の何れか 1 項に記載の光リーク電流補償回路。

【請求項 5】

前記請求項 1～4 の何れか 1 項に記載の光リーク電流補償回路を用いることを

特徴とする光信号用回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路内に形成されるダーリントン回路の光リーク電流を補償する回路に関し、さらにその光リーク電流補償回路を備え、発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる光信号用回路に関する。

【0002】

【従来の技術】

赤外線リモコンの受信用 IC、光ピックアップ信号受信用 IC、LED 駆動用 IC 等の前記発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる集積回路では、信号光による回折光や散乱光、さらに蛍光灯等のノイズ光によって、寄生フォトダイオードに光電流が発生し、回路誤動作の原因となる。特に、ラテラル（横型）構造のトランジスタでは、N 型エピタキシャル層（PNP トランジスタではベース拡散領域、NPN トランジスタではコレクタ拡散領域）の面積が大きいので、前記寄生フォトダイオードによる光電流で、ベース電流（PNP トランジスタ）やコレクタ電流（NPN トランジスタ）が増加し、回路の特性に大きな影響を与える。図 6～図 21 を用いて、その様子を説明する。から成るベース拡散層

図 6 はラテラル PNP トランジスタ 1 の構造を模式的に示す図であり、図 7 はその等価回路図である。P 型のサブストレータ層 2 上に N 型エピタキシャル層 3 が積層され、その N 型エピタキシャル層 3 がトレンチ 4 によって分離されて各素子領域となる。そして、集積回路の構造上、ベース拡散領域となる前記 N 型エピタキシャル層 3 とサブストレータ層 2 との間に寄生フォトダイオード 5 が発生し、該寄生フォトダイオード 5 が PNP トランジスタ 1 のベース端子とサブストレータ層 2（接地）との間に接続されることになる。

【0003】

したがって、光入射によって、図 6 で示すように N 型エピタキシャル層 3 から

サブストレータ層 2 へ光電流  $I_{pd}$  が生じると、該光電流  $I_{pd}$  は PNP トランジスタ 1 のベース電流  $I_b$  として作用し、回路の特性に多大な影響を与える。この光電流  $I_{pd}$  は、入射光量に対応して増加するので、光電変換素子と近接して配置される場合に大きくなり、また N 型エピタキシャル層 3 の面積に対応して増加するので、該 PNP トランジスタ 1 の電流容量が大きくなる程、大きくなる。

#### 【0004】

同様に、図 8 はラテラル NPN トランジスタ 11 の構造を模式的に示す図であり、図 9 はその等価回路図である。P 型のサブストレータ層 12 上に N 型エピタキシャル層 13 が積層され、その N 型エピタキシャル層 13 がトレンチ 14 によって分離されて各素子領域となる。そして、コレクタ拡散領域となる前記 N 型エピタキシャル層 13 とサブストレータ層 12 との間に寄生フォトダイオード 15 が発生し、該寄生フォトダイオード 15 が NPN トランジスタ 11 のコレクタ端子とサブストレータ層 12（接地）との間に接続されることになる。

#### 【0005】

したがって、光入射によって、図 8 で示すように N 型エピタキシャル層 13 からサブストレータ層 12 へ光電流  $I_{pd}$  が生じると、該光電流  $I_{pd}$  は NPN トランジスタ 11 のコレクタ電流をバイパスし、回路の特性に多大な影響を与える。この光電流  $I_{pd}$  は、入射光量に対応して増加し、また N 型エピタキシャル層 13 の面積に対応して増加する。しかしながら、NPN トランジスタ 11 は PNP トランジスタ 1 に比べて電流駆動能力が大きく、前記 N 型エピタキシャル層 13 の面積を小さくでき、また発生する光電流がコレクタ電流に影響するので、電流増幅率  $h_{fe}$  分、その影響は小さいと考えられる。

#### 【0006】

また、バーチカルトランジスタでも、前記光電流の影響は小さく、図 10 および図 11 を用いて、その構造を説明する。図 10 はバーチカル PNP トランジスタ 21 の構造を模式的に示す図であり、図 11 はその等価回路図である。P 型のサブストレータ層 22 上に N 型エピタキシャル層 23 が積層され、その N 型エピタキシャル層 23 がトレンチ 24 によって分離されて各素子領域となる構造は、前記ラテラル構造のトランジスタ 1, 21 と同様である。そして、サブストレー

ト層 22 と N 型エピタキシャル層 23 との間に寄生フォトダイオード 25 が発生するけれども、バーチカルトランジスタの構造上、N 型エピタキシャル層 23 は、予め定める電位（一般的に電源電圧  $V_{cc}$ ）が与えられるだけであり、光リーク電流はトランジスタ動作には影響しない。また、ベース拡散領域（N）とコレクタ拡散領域（P）との間にも寄生フォトダイオード 26 が存在するけれども、ベース拡散面積が小さいので、その影響は前記ラテラル PNP トランジスタに比べ、非常に小さい。

#### 【0007】

しかしながら、マスク枚数の削減などの関係で、前記構造上、ラテラルトランジスタを採用しなければならない場合があり、また一般的に、入力インピーダンスを向上させるために NPN トランジスタのコレクタを PNP トランジスタのベースに接続したダーリントン回路がよく用いられる。このダーリントン回路の場合、NPN トランジスタのコレクタで発生した光リーク電流が PNP トランジスタのベース電流となるので、前記バーチカルトランジスタであっても、前記光リーク電流は問題となる。

#### 【0008】

図 12 は、そのようなダーリントン回路 31 の電気回路図である。PNP トランジスタ  $q_{p1}$  のエミッタはハイレベルの電源などのバイアス源に接続され、コレクタが出力端となり、ベースは前記のように NPN トランジスタ  $q_{n1}$  のコレクタに接続される。この NPN トランジスタ  $q_{n1}$  のベースが入力端となり、エミッタは前記出力端に接続される。

#### 【0009】

そして、前記 N 型エピタキシャル層から成る PNP トランジスタ  $q_{p1}$  のベースに寄生フォトダイオード  $d_{p1}$  が発生し、NPN トランジスタ  $q_{n1}$  のコレクタに寄生フォトダイオード  $d_{n1}$  が発生し、それぞれ光リーク電流  $i_1$ ,  $i_2$  が流れる。ここで、それぞれの N 型エピタキシャル層、すなわち PNP トランジスタ  $q_{p1}$  のベース拡散領域および NPN トランジスタ  $q_{n1}$  のコレクタ拡散領域の面積を  $s_1$ ,  $s_2$  とすると、前記光リーク電流は、 $i_1 = s_1 * I_{pd}(p)$ ,  $i_2 = s_2 * I_{pd}(n)$  となる。ただし、 $I_{pd}(p)$  は PNP トランジス

タのN型エピタキシャル層の単位面積当りの光リーク電流量であり、 $I_{pd}(n)$  はPNPトランジスタのN型エピタキシャル層の単位面積当りの光リーク電流量である。

#### 【0010】

したがって、これらの光リーク電流  $i_1$ ,  $i_2$  の影響は、PNPトランジスタ  $qp1$  で  $hfe$  倍され、出力端からは、以下の光リーク電流  $I_{leak}$  が出力され、回路特性に大きな影響を与える。

#### 【0011】

$$I_{leak} = hfe(p) * \{s1 * I_{pd}(p) + s2 * I_{pd}(n)\} \quad \dots (1)$$

ただし、 $hfe(p)$  はPNPトランジスタ  $qp1$  の電流増幅率である。

#### 【0012】

このような寄生フォトダイオード  $dp1$ ,  $qn1$  による光リーク電流の影響を低減する方法として、先ず素子表面を配線用メタルで覆い、該素子表面から侵入する光を遮断する方法がある。しかしながら、遮光できない部分であるチップ側面やチップエッジから侵入する光には十分な対策ができない場合があり、また最近では低コスト化のためにチップ面積の縮小やマスク枚数の削減が求められ、この配線用メタルによる遮光が充分行えなくなっている。さらにまた、省エネルギーのために低消費電流化が進み、このような寄生フォトダイオードによる光電流の影響は相対的に増加する傾向にある。

#### 【0013】

そこで、このような問題を解決するために、典型的な従来技術である特開平3-262153号公報および特開平6-45536号公報に記載の光電流補償用回路が提案された。これらの従来技術では、単体のPNPトランジスタのベース電流における光リーク電流を補償することが示されているけれども、前記PNPトランジスタを組合わせたダーリントン回路に適用した例について、図13に示す。なお、図13において、図12の構成に対応する部分には、同一の参照符号を付して、その説明を省略する。

#### 【0014】



補償回路 32 は、PNP トランジスタ  $q_{p11}$ ,  $q_{p12}$  と、NPN トランジスタ  $q_{n11}$  とを備えて構成される。PNP トランジスタ  $q_{p11}$  のエミッタは前記ハイレベルの電源などのバイアス源に接続され、コレクタから補償電流  $i_o$  を流し出す。前記 PNP トランジスタ  $q_{p11}$  のベースはカレントミラー回路を構成する PNP トランジスタ  $q_{p12}$  のベースおよびコレクタと接続され、この PNP トランジスタ  $q_{p12}$  のエミッタは前記ハイレベルの電源などのバイアス源に接続され、コレクタは前記 PNP トランジスタ  $q_{p11}$  のベースおよび NPN トランジスタ  $q_{n11}$  のコレクタと接続される。NPN トランジスタ  $q_{n11}$  のベースは、エミッタとともに接地される。

#### 【0015】

したがって、前述のように PNP トランジスタ  $q_{p11}$ ,  $q_{p12}$  のベースおよび NPN トランジスタ  $q_{n11}$  のコレクタに寄生フォトダイオード  $d_{p11}$ ,  $d_{p12}$ ,  $d_{n11}$  がそれぞれ発生し、光リーク電流  $i_3$ ,  $i_4$ ,  $i_5$  が流れる。ここで、それぞれの N 型エピタキシャル層、すなわち PNP トランジスタ  $q_{p11}$ ,  $q_{p12}$  のベース拡散領域および NPN トランジスタ  $q_{n11}$  のコレクタ拡散領域の面積を  $s_3$ ,  $s_4$ ,  $s_5$  とすると、 $i_3 = s_3 * I_{pd}(p)$ ,  $i_4 = s_4 * I_{pd}(p)$ ,  $i_5 = s_5 * I_{pd}(n)$  となる。

#### 【0016】

ここで、簡単のためトランジスタのベース電流を無視する、すなわち電流増幅率  $h_{fe} \rightarrow \infty$  と仮定すると、

$$\begin{aligned} i_o(q_{p11}) \\ = (m_1/m_2) * \{s_5 * I_{pd}(n) + (s_3 + s_4) * I_{pd}(p)\} \end{aligned} \quad \dots (2)$$

$$\begin{aligned} I_{leak} = h_{fe}(p) * \{s_1 * I_{pd}(p) + s_2 * I_{pd}(n)\} \\ - (m_1/m_2) * \{s_5 * I_{pd}(n) + (s_3 + s_4) * I_{pd}(p)\} \end{aligned} \quad \dots (3)$$

となる。ただし、 $m_1$ ,  $m_2$  は、カレントミラー回路を構成する PNP トランジスタ  $q_{p11}$ ,  $q_{p12}$  の電流比である。

#### 【0017】

このようにして、前記寄生フォトダイオード  $d_{p1}$ ,  $d_{n1}$  で発生した光リーク電流  $i_1$ ,  $i_2$  を、補償回路 32 内のトランジスタ  $q_{p11}$ ,  $q_{p12}$ ,  $q_{n11}$  の寄生フォトダイオード  $d_{p11}$ ,  $d_{p12}$ ,  $d_{n11}$  で発生した前記光リーク電流  $i_3$ ,  $i_4$ ,  $i_5$  でキャンセルする構成となっている。

【0018】

【特許文献1】

特開平3-262153号公報

【0019】

【特許文献2】

特開平6-45536号公報

【0020】

【発明が解決しようとする課題】

しかしながら、上述のような従来技術において、光リーク電流  $i_1$ ,  $i_2$  を完全にキャンセルできるのは、以下の2式を同時に満たす場合である。

【0021】

$$s_2 = (m_1 / m_2) * s_5 \quad \dots (4)$$

$$s_1 = (m_1 / m_2) * (s_3 + s_4) \quad \dots (5)$$

したがって、上式を満たすのは、 $m_1 : m_2 = 1 : 1$  としても、 $s_1 : s_2 : s_3 : s_4 : s_5 = 2 : 1 : 1 : 1 : 1$  であり、N型エピタキシャル層の総面積は6トランジスタ分必要となり、素子数が増えてチップ面積が増大してしまうという問題がある。

【0022】

また、上述の説明では、簡単のためベース電流の影響を無視、すなわち  $h_{fe} \rightarrow \infty$  と仮定したが、実際の電流増幅率  $h_{fe}$  の値は、一般的に100前後であり、その影響は無視できないという問題もある。特に、一般的に、コレクタ電流が微小になると、前記電流増幅率  $h_{fe}$  は小さくなる傾向があり、ベース電流による影響が大きくなる。また、ラテラルPNPトランジスタの電流増幅率  $h_{fe}$  は、ラテラルNPNトランジスタおよびバーチカルPNPトランジスタの電流増幅率  $h_{fe}$  より小さく、前記ベース電流の影響が大きくなる。

## 【0023】

そこで、ベース電流  $I_b$  を考慮すると、各トランジスタでは、コレクタ電流  $I_c$  との関係は、

$$I_b = I_c / h_{fe} \quad \dots (6)$$

であり、したがって前記式 2, 3 は、式 7, 8 になる。

## 【0024】

$$\begin{aligned} i_o(q_{p11}) = & \{ h_{fe}(p) / (h_{fe}(p) + 2) \} \\ & * (m1 / m2) * \{ s5 * I_{pd}(n) + (s3 + s4) * I_{pd}(p) \} \end{aligned} \quad \dots (7)$$

$I_{leak}$

$$\begin{aligned} = & (h_{fe}(p) - 1) * [ \{ s1 * I_{pd}(p) + s2 * I_{pd}(n) \} \\ & - \{ h_{fe}(p) / (h_{fe}(p) + 2) \} * (m1 / m2) \\ & * \{ s5 * I_{pd}(n) + (s3 + s4) * I_{pd}(p) \} ] \end{aligned} \quad \dots (8)$$

したがって、ダーリントン回路に対して、より効果的に、光リーク電流の影響を低減する補償回路が要求される。

## 【0025】

本発明の目的は、ダーリントン回路の光リーク電流を高精度に補償することができるとともに、チップ面積を抑制することができる光リーク電流補償回路およびそれを用いる光信号用回路を提供することである。

## 【0026】

## 【課題を解決するための手段】

本発明の光リーク電流補償回路は、集積回路内に構成され、第 1 の PNP トランジスタと、その第 1 の PNP トランジスタのベースがコレクタに接続される第 2 の NPN トランジスタとのダーリントン回路に発生する光リーク電流を補償する光リーク電流補償回路において、前記第 1 の PNP トランジスタのコレクタにエミッタが接続され、コレクタが接地されて前記第 1 の PNP トランジスタのコレクタ電流を吸い込むことで補償を行う第 3 の PNP トランジスタと、前記第 3 の PNP トランジスタのベースがコレクタに接続され、ベースとエミッタとが相

互に接続されたダイオード構造の第4のNPNトランジスタとのダーリントン回路を備えて構成されることを特徴とする。

#### 【0027】

上記の構成によれば、集積回路内に構成され、第1のPNPトランジスタのベースが第2のNPNトランジスタのコレクタに接続されて構成され、入力インピーダンスを向上させるために好適なダーリントン回路の光リーク電流を補償するにあたって、前記第1のPNPトランジスタのコレクタにエミッタが接続され、コレクタが接地される第3のPNPトランジスタと、前記第3のPNPトランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第4のNPNトランジスタとのダーリントン回路で補償回路を構成し、前記第3のPNPトランジスタのエミッタから前記第1のPNPトランジスタのコレクタ電流を吸い込むことで補償を行う。

#### 【0028】

したがって、前記図13のように第1のPNPトランジスタのベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償することで、略同じ面積のN型エピタキシャル層を有する第3のPNPトランジスタおよび第4のNPNトランジスタから成るダーリントン回路を、同じ集積回路上において、相互に近接して配置するなど、光の影響が等しくなるように形成すれば、光リーク電流を高精度に補償しつつ、前記チップ面積を抑制することができる。

#### 【0029】

また、本発明の光リーク電流補償回路は、前記第1のPNPトランジスタおよび第2のNPNトランジスタのN型エピタキシャル層の面積をそれぞれ $S_1$ 、 $S_2$ とし、前記第3のPNPトランジスタおよび第4のNPNトランジスタのN型エピタキシャル層の面積をそれぞれ $S_3$ 、 $S_4$ とすると、 $S_1 \leq S_3$ 、かつ $S_2 \leq S_4$ に形成することを特徴とする。

#### 【0030】

上記の構成によれば、第1のPNPトランジスタのN型エピタキシャル層、す

なわちベース拡散領域の面積  $S_1$  と、第2のNPNトランジスタのN型エピタキシャル層、すなわちコレクタ拡散領域の面積  $S_2$  と、補償回路における第3のPNPトランジスタのN型エピタキシャル層、すなわちベース拡散領域の面積  $S_3$  と、第4のNPNトランジスタのN型エピタキシャル層、すなわちコレクタ拡散領域の面積  $S_4$  とを、上記のように選ぶことによって、光リーク電流以上の補償電流を得ることができ、確実に補償を行うことができる。

#### 【0031】

特に、 $S_1 < S_3$ 、かつ  $S_2 < S_4$  とすると、素子のミスマッチ等によって光リーク電流と補償電流とがずれた場合でも、確実に補償を行うことができる。

#### 【0032】

さらにまた、本発明の光リーク電流補償回路は、前記第1のPNPトランジスタのコレクタ電流がベースに与えられる第5のNPNトランジスタを備えることを特徴とする。

#### 【0033】

上記の構成によれば、第1のPNPトランジスタの後段に、さらに第5のNPNトランジスタを設けて入力インピーダンスを向上するようにした回路において、前記光リーク電流と補償電流との差はこの第5のNPNトランジスタの  $h_{fe}$  倍されてしまうことになるけれども、前記のように光リーク電流以上の補償電流を得ることができるようにしておくと、前記差を0にすることができ、増幅率が高くなっても、前記光リーク電流の影響を無くすることができる。

#### 【0034】

また、本発明の光リーク電流補償回路は、前記各トランジスタがラテラル構造であることを特徴とする。

#### 【0035】

上記の構成によれば、ラテラル構造のトランジスタは、PNPトランジスタではベース拡散領域、NPNトランジスタではコレクタ拡散領域となるN型エピタキシャル層が広く露出することになるので、本発明が特に効果的である。

#### 【0036】

さらにまた、本発明の光信号用回路は、前記の光リーク電流補償回路を用いる

ことを特徴とする。

【0037】

したがって、光信号用回路に上記の効果を奏することができる。

【0038】

【発明の実施の形態】

本発明の実施の一形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0039】

図1は、本発明の実施の一形態の電気回路図である。この回路では、被補償回路として、同じ集積回路上に形成されるPNPトランジスタQP1と、NPNトランジスタQN1とを備えて構成され、入力インピーダンスを向上させるようにしたダーリントン回路41が用いられる。このダーリントン回路41は、前記図12のダーリントン回路31と同様に構成されており、PNPトランジスタQP1のエミッタはハイレベルの電源などのバイアス源に接続され、コレクタが出力端となり、ベースは前記NPNトランジスタQN1のコレクタに接続される。前記NPNトランジスタQN1のベースが入力端となり、エミッタは前記出力端に接続される。

【0040】

そして、N型エピタキシャル層、すなわち前記PNPトランジスタQP1のベースおよびNPNトランジスタQN1のコレクタに形成される寄生フォトダイオードDP1、DN1による光リーク電流I1、I2を補償する補償回路42も、前記ダーリントン回路41と同様に、PNPトランジスタQP11と、NPNトランジスタQN11とを備えて構成されるダーリントン回路から構成されている。前記ダーリントン回路41と補償回路42とは、同じ集積回路上に、光の影響が等しくなるように近接して配置される。前記PNPトランジスタQP11のエミッタは前記PNPトランジスタQP1のコレクタに接続され、コレクタは接地され、ベースは前記NPNトランジスタQN11のコレクタに接続される。前記NPNトランジスタQN11のベースは、コレクタとともに接地される。

【0041】

したがって、前記N型エピタキシャル層から成るPNPトランジスタQP11のベースおよびNPNトランジスタQN11のコレクタに寄生フォトダイオードDP11, DN11が形成され、それらによる光リーク電流I3, I4が流れる。

#### 【0042】

ここで、それぞれのN型エピタキシャル層であるPNPトランジスタQP1, QP11のベース拡散領域およびNPNトランジスタQN1, QN11のコレクタ拡散領域の面積をS1, S3およびS2, S4とすると、前記光リーク電流は、 $I1 = S1 * Ipd(p)$ ,  $I2 = S2 * Ipd(n)$ ,  $I3 = S3 * Ipd(p)$ ,  $I4 = S4 * Ipd(n)$ となる。ただし、 $Ipd(p)$ はPNPトランジスタのN型エピタキシャル層の単位面積当りの光リーク電流量であり、 $Ipd(n)$ はNPNトランジスタのN型エピタキシャル層の単位面積当りの光リーク電流量である。

#### 【0043】

したがって、簡単のためにトランジスタのベース電流を無視する、すなわち電流増幅率 $hfe \rightarrow \infty$ と仮定すると、キルヒホッフの法則から、出力端からは、以下の電流Ioutが出力されることになる。

#### 【0044】

$$\begin{aligned} I_{out} &= I_{leak} - I_o \\ &= hfe(p) * \{S1 * Ipd(p) + S2 * Ipd(n)\} \\ &\quad - hfe(p) * \{S3 * Ipd(p) + S4 * Ipd(n)\} \\ &\quad \dots (9) \end{aligned}$$

したがって、 $S1 = S3$ 、かつ $S2 = S4$ に形成することで、前記光リーク電流Ileakをキャンセルすることができる。そして、この場合、 $S1 : S2 : S3 : S4 = 1 : 1 : 1 : 1$ であり、N型エピタキシャル層の総面積を4トランジスタ分とし、チップ面積を抑えることができる。ただし、 $hfe(p)$ はPNPトランジスタQP1, QP11の電流増幅率であり、IleakはPNPトランジスタQP1のコレクタから出力される光リーク電流の総量であり、Ioは補償回路42が前記出力端から吸い込む補償電流である。

## 【0045】

以上のようにして、ダーリントン回路41に発生した光リーク電流  $I_{\text{leak}}$  を補償するにあたって、同様のダーリントン回路で構成される補償回路42を用い、PNPトランジスタQP1のコレクタ電流で補償を行うことで、該光リーク電流  $I_{\text{leak}}$  を高精度に補償することができる。これによって、外部から侵入してくる光を遮断できない集積回路で、微小電流を扱っている回路や寄生フォトダイオードの影響を無視できない回路の高精度化に極めて有効である。

## 【0046】

また、前記図13の構成では、補償電流  $i_o$  を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償する場合には、補償回路42側に略同じ面積のN型エピタキシャル層を有するPNPトランジスタQP11およびNPNトランジスタQN11を設ければよく、上記のようにチップ面積を抑制することができる。

## 【0047】

さらにまた、上記の説明では、 $S_1 = S_3$ 、かつ  $S_2 = S_4$ 、すなわちダーリントン回路41側のトランジスタQP1、QN1と補償回路42側のトランジスタQP11、QN11とのN型エピタキシャル層の面積がそれぞれ等しく形成されているけれども、それを  $S_1 < S_3$ 、かつ  $S_2 < S_4$ 、すなわち補償回路42側の面積を大きく形成することで、素子のミスマッチ等によって光リーク電流と補償電流  $I_c$  とがずれた場合でも、確実に補償を行うことができるようになる。

## 【0048】

ここで、本発明に類似した構成として、特開平3-292775号公報による光リーク電流の補償回路を図2に示す。この従来技術において、図1の構成に対応する部分には、同一の参照符号を付して示す。この従来技術では、単段構成の出力のPNPトランジスタQP1の光リーク電流  $I_{\text{leak}}$  を、同様に単段のPNPトランジスタQP11から成る補償回路40が補償電流  $I_o$  を吸い込むことで補償している。

## 【0049】



この従来技術は、PNPトランジスタQP1のコレクタ電流をPNPトランジスタQP11のエミッタ電流で補償することで、ベース電流で補償を行う場合に比べて、高精度に補償を行う点が本発明に類似している。しかしながら、ダーリントン回路41に対応しておらず、前記PNPトランジスタQP11だけでNPNTランジスタQN1の光リーク電流I2までも高精度に補償することは、困難である。

#### 【0050】

図3は、前述のようなダーリントン回路41および補償回路42の一使用例である検波回路の放電回路50のブロック図を示し、図4は、その放電回路50を検波回路58として使用する赤外線リモコンの受信機51の構成を示すブロック図である。この受信機51は、赤外線の送信コード信号を外付けのフォトダイオード52で光電流信号I<sub>in</sub>に変換した後、集積回路化された受信チップ53に入力し、該受信チップ53で復調した出力信号RXOUTを、電子機器を制御するマイコン等に出力するものである。前記赤外線信号は、たとえば30～60kHz程度の予め定められたキャリアで変調されたASK信号である。

#### 【0051】

前記受信チップ53内で、前記光電流信号I<sub>in</sub>は、初段アンプ(HA)54、2段目アンプ(2ndAMP)55および3段目アンプ(3rdAMP)56において順次増幅され、キャリアの周波数に適合されているバンドパスフィルタ(BPF)57においてキャリア成分Sigが取出される。そして、次段の前記検波回路58において前記キャリア成分Sigがキャリア検出レベルDetで検波され、さらに積分回路59においてキャリアのある時間が積分されて、その積分出力Intがヒステリシスコンパレータ60において予め定める弁別レベルと比較されることで、キャリアの有無が判別されて前記出力信号RXOUTとしてデジタル出力される。

#### 【0052】

前記初段アンプ54の出力側にはローパスフィルタ61が設けられており、これによって蛍光灯や太陽光による直流レベルが検出され、次段の2段目アンプ55では、初段アンプ54の直接の出力からその直流レベル分が除去されて増幅さ

れることで、前記蛍光灯や太陽光等のノイズによる影響が或る程度除去されている。また、前記初段アンプ 54 に関連して A B C C 回路 62 が設けられており、この A B C C 回路 62 によって前記ローパスフィルタ 61 の出力に対応して初段アンプ 54 の直流バイアスが制御される。さらに、バンドパスフィルタ 57 に関連して f o トリミング回路 63 が設けられており、この f o トリミング回路 63 内の図示しない直列に接続された抵抗の接続点から引出された端子 T R M 1 ~ T R M 5 間の図示しないツェナダイオードにパルス電流を印加して該ツェナダイオードがトリミングされることによって、バンドパスフィルタ 57 の中心周波数 f o が調整される。

#### 【0053】

放電回路 50 は、N P N トランジスタ Q N 1 のベースが接続される入力端には、ノイズ除去用のコンデンサ C 1 が接続され、P N P トランジスタ Q P 1 のコレクタが接続される出力端は定電流源 F 1 を介して接地され、コレクタ接地回路を構成している。この放電回路 50 は、前記検波回路 58 の出力バッファとして使用され、通常、次段の回路の入力インピーダンスは高いので、前記 P N P トランジスタ Q P 1 の流し出す電流と定電流源 F 1 の吸い込む定電流 I 1 との差に対応して出力電圧 V 1 が変化する。すなわち、 $l e a k > I o + I 1$  となると出力電圧 V 1 は上昇してしまう。このため、 $l e a k < I o + I 1$  とすることで、前記出力電圧 V 1 の上昇を防ぐことができ、余分に発生した補償電流は、P N P トランジスタ Q P 1、Q P 1 1 を流れる。

#### 【0054】

前述のように本発明のダーリントン回路 41 および補償回路 42 は、光リーク電流 l e a k を補償し、高い入力インピーダンスを実現できるので、高い入力インピーダンスが必要であるコンデンサ C 1 内蔵の検波回路等に好適に用いることができる。

#### 【0055】

本発明の実施の他の形態について、図 5 に基づいて説明すれば、以下のとおりである。

#### 【0056】

図5は、本発明の実施の他の形態の電気回路図である。この回路は、被補償回路として、前記図2の回路と同様に構成されるダーリントン回路41に、前記PNPトランジスタQP1のコレクタ電流がベースに与えられるNPNトランジスタQN3を追加し、3段構成とすることで、さらに入力インピーダンスを大きくしている。

#### 【0057】

この場合、 $S1 \leq S3$ 、かつ $S2 \leq S4$ を満たすとき、同様の効果を得ることができ、出力電流 $I_{out}$ は、

$$I_{out} = hfe(n) * [hfe(p) * \{S1 * I_{pd}(p) + S2 * I_{pd}(n)\} - hfe(p) * \{S3 * I_{pd}(p) + S4 * I_{pd}(n)\}] \dots (10)$$

となる。

#### 【0058】

このようにして、PNPトランジスタQP1の後段に、さらにNPNトランジスタQN3を設けて入力インピーダンスを向上するようにした回路の場合、前記光リーク電流 $I_{leak}$ と補償電流 $I_o$ との差は、このNPNトランジスタQN3の $hfe(n)$ 倍されてしまうことになるけれども、前記のように光リーク電流以上の補償電流を得ることができるようにしておくこと、前記差を0にすることができ、増幅率が高くなっても、前記光リーク電流 $I_{leak}$ の影響を無くすことができる。

#### 【0059】

さらに、3段以上の多段構成とした場合でも、光リーク電流補償回路を同様に設けることで、影響を低減することができる。また、本発明は、ラテラル（横型）構造のトランジスタで特に大きな効果を得ることができるけれどもバーテカル（縦型）構造のトランジスタに適用されてもよい。

#### 【0060】

#### 【発明の効果】

本発明の光リーク電流補償回路は、以上のように、集積回路内に構成され、第

1のPNPトランジスタのベースが第2のNPNトランジスタのコレクタに接続されて構成され、入力インピーダンスを向上させるために好適なダーリントン回路の光リーク電流を補償するにあたって、前記第1のPNPトランジスタのコレクタにエミッタが接続され、コレクタが接地される第3のPNPトランジスタと、前記第3のPNPトランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第4のNPNトランジスタとのダーリントン回路で補償回路を構成し、前記第3のPNPトランジスタのエミッタから前記第1のPNPトランジスタのコレクタ電流を吸い込むことで補償を行う。

#### 【0061】

それゆえ、前記図13のように第1のPNPトランジスタのベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償することで、略同じ面積のN型エピタキシャル層を有する第3のPNPトランジスタおよび第4のNPNトランジスタから成るダーリントン回路を、同じ集積回路上において、相互に近接して配置するなど、光の影響が等しくなるように形成すれば、光リーク電流を高精度に補償しつつ、前記チップ面積を抑制することができる。

#### 【0062】

また、本発明の光リーク電流補償回路は、以上のように、前記第1のPNPトランジスタおよび第2のNPNトランジスタのN型エピタキシャル層の面積をそれぞれ $S_1$ 、 $S_2$ とし、前記第3のPNPトランジスタおよび第4のNPNトランジスタのN型エピタキシャル層の面積をそれぞれ $S_3$ 、 $S_4$ とすると、 $S_1 \leq S_3$ 、かつ $S_2 \leq S_4$ に形成する。

#### 【0063】

それゆえ、光リーク電流以上の補償電流を得ることができ、確実に補償を行うことができる。特に、 $S_1 < S_3$ 、かつ $S_2 < S_4$ とすると、素子のミスマッチ等によって光リーク電流と補償電流とがずれた場合でも、確実に補償を行うことができる。

#### 【0064】

さらにまた、本発明の光リーク電流補償回路は、以上のように、前記第1のPNPトランジスタのコレクタ電流がベースに与えられる第5のNPNトランジスタを設けて、入力インピーダンスを向上する。

【0065】

それゆえ、前記光リーク電流と補償電流との差はこの第5のNPNトランジスタの $h_{fe}$ 倍されてしまうことになるけれども、前記のように光リーク電流以上の補償電流を得ることができるようにしておくと、前記差を0にすることができ、増幅率が高くなっても、前記光リーク電流の影響を無くすることができる。

【0066】

また、本発明の光リーク電流補償回路は、以上のように、前記各トランジスタを、PNPトランジスタではベース拡散領域、NPNトランジスタではコレクタ拡散領域となるN型エピタキシャル層が広く露出するラテラル構造とする。

【0067】

それゆえ、本発明が特に効果的である。

【0068】

さらにまた、本発明の光信号用回路は、以上のように、前記の光リーク電流補償回路を用いる。

【0069】

それゆえ、光信号用回路に上記の効果を奏することができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態の電気回路図である。

【図2】

従来技術の電気回路図である。

【図3】

図1で示すダーリントン回路および補償回路の一使用例である検波回路の放電回路のブロック図である。

【図4】

図3で示す放電回路を検波回路として使用する赤外線リモコンの受信機の構成

を示すブロック図である。

【図 5】

本発明の実施の他の形態の電気回路図である。

【図 6】

ラテラル PNP トランジスタの構造を模式的に示す図である。

【図 7】

図 6 の等価回路図である。

【図 8】

ラテラル NPN トランジスタの構造を模式的に示す図である。

【図 9】

図 8 の等価回路図である。

【図 10】

バーチカル PNP トランジスタの構造を模式的に示す図である。

【図 11】

図 10 の等価回路図である。

【図 12】

ダーリントン回路の電気回路図である。

【図 13】

典型的な従来技術を図 12 のダーリントン回路に適用した電気回路図である。

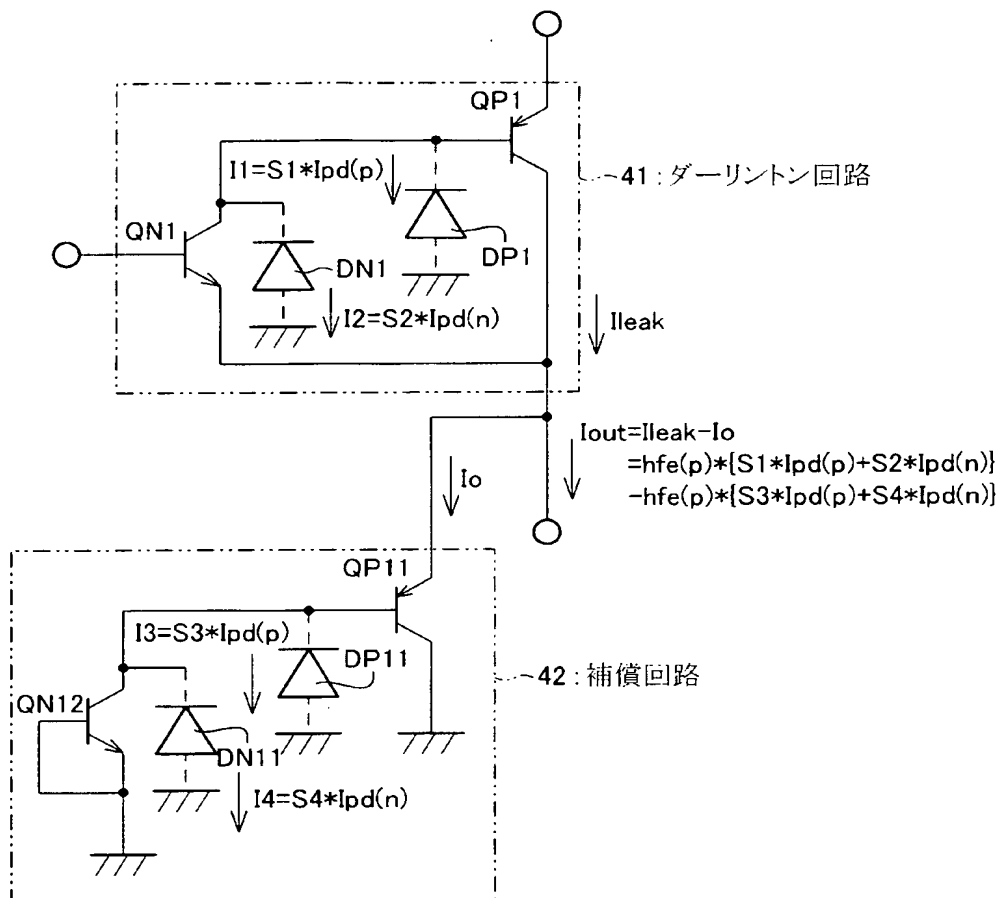
【符号の説明】

- 1      ラテラル PNP トランジスタ
- 2, 12, 22      P 型のサブストレート層
- 3, 13, 23      N 型エピタキシャル層
- 4, 14, 24      トレンチ
- 5, 15, 25      寄生フォトダイオード
- 11      ラテラル NPN トランジスタ
- 21      バーチカル PNP トランジスタ
- 41      ダーリントン回路（被補償回路）
- 42      補償回路

- 5 0 放電回路
- 5 1 赤外線リモコンの受信機
- 5 2 フォトダイオード
- 5 3 受信チップ (集積回路)
- 5 4 初段アンプ (H A)
- 5 5 2 段目アンプ (2 n d AMP)
- 5 6 3 段目アンプ (3 r d AMP)
- 5 7 バンドパスフィルタ (B P F)
- 5 8 検波回路
- 5 9 積分回路
- 6 0 ヒステリシスコンパレータ
- 6 1 ローパスフィルタ
- 6 2 A B C C 回路
- 6 3 f o トリミング回路
- C 1 ノイズ除去用のコンデンサ
- DN 1, DN 1 1 寄生フォトダイオード
- DP 1, DP 1 1 寄生フォトダイオード
- F 1 定電流源
- QN 1 N P N トランジスタ (第 2 のトランジスタ)
- QN 2 N P N トランジスタ (第 5 のトランジスタ)
- QN 1 1 N P N トランジスタ (第 4 のトランジスタ)
- QP 1 P N P トランジスタ (第 1 のトランジスタ)
- QP 1 1 P N P トランジスタ (第 3 のトランジスタ)

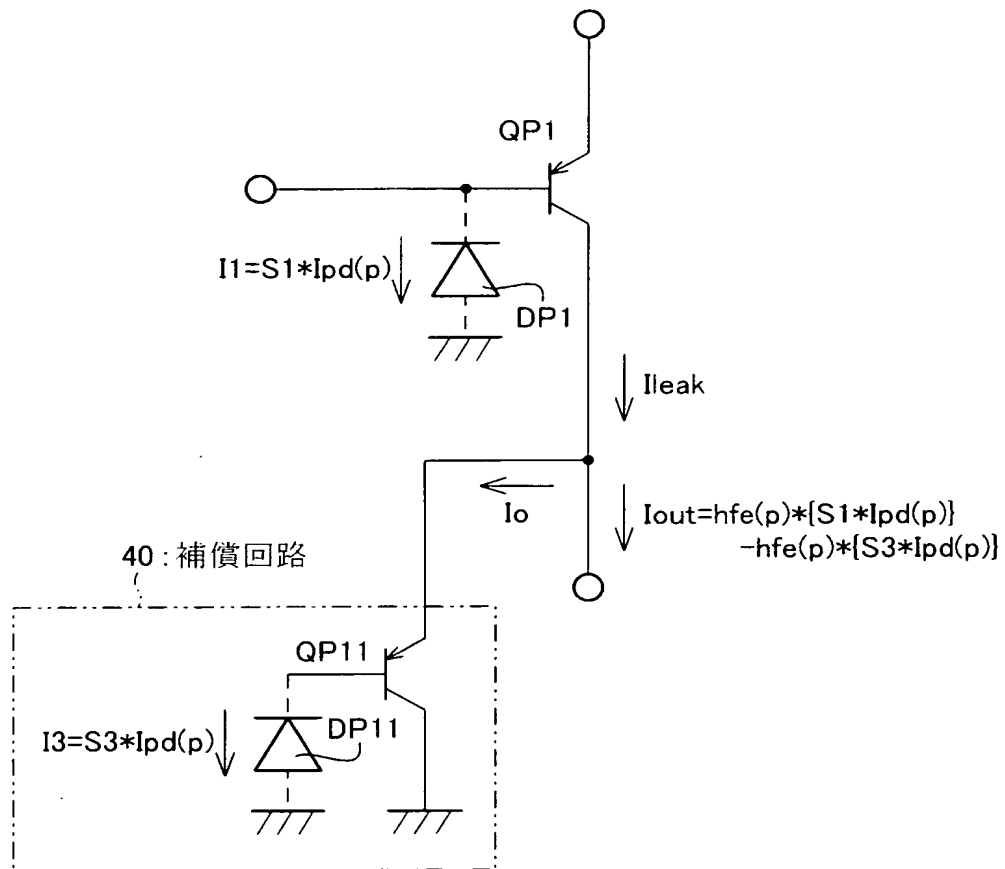
【書類名】 図面

【図 1】

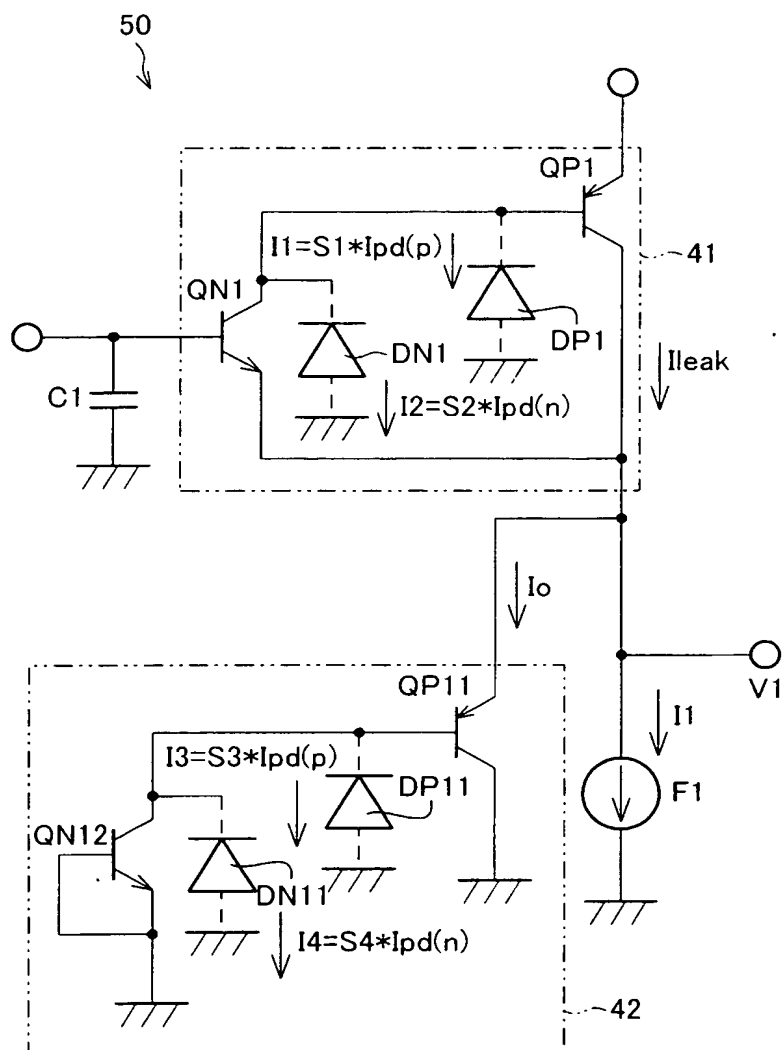




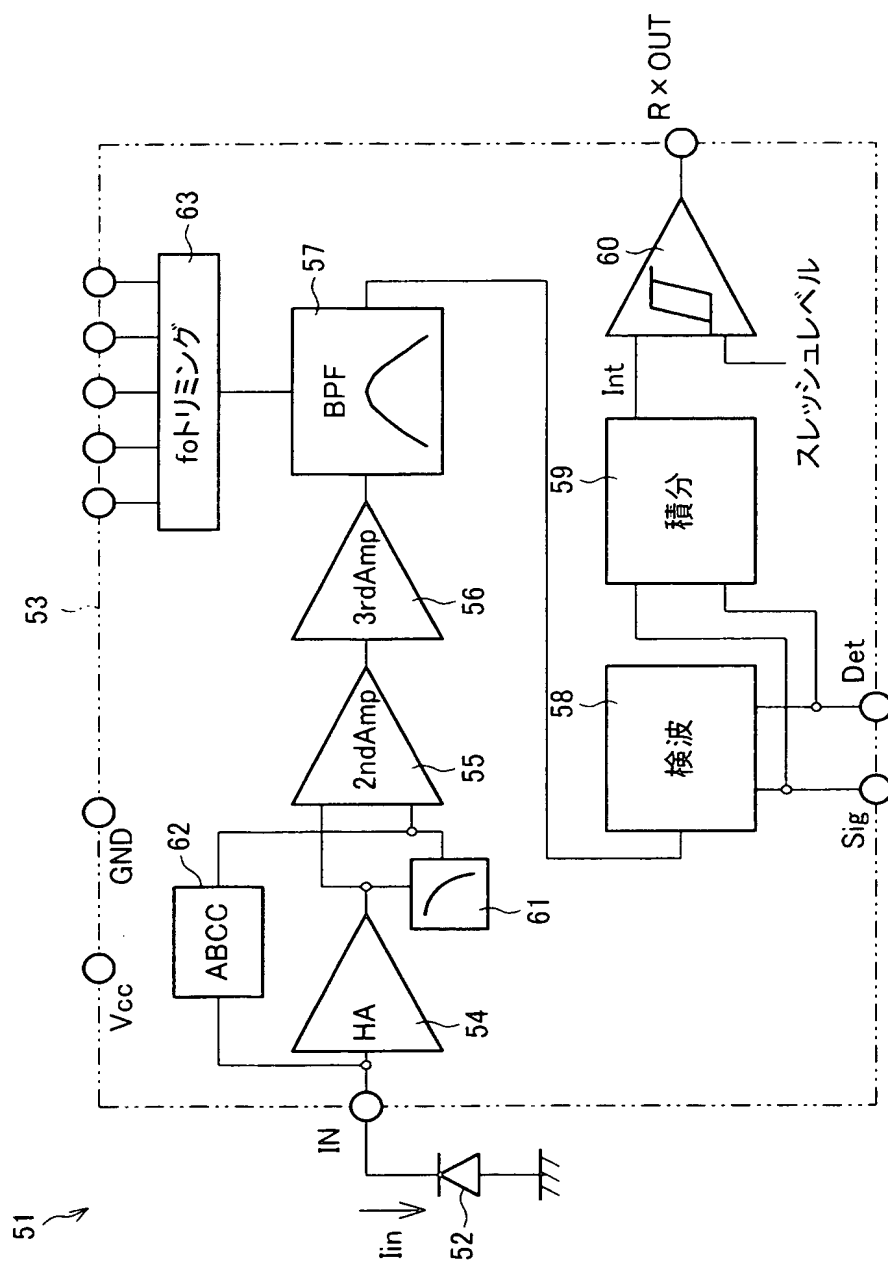
【図 2】



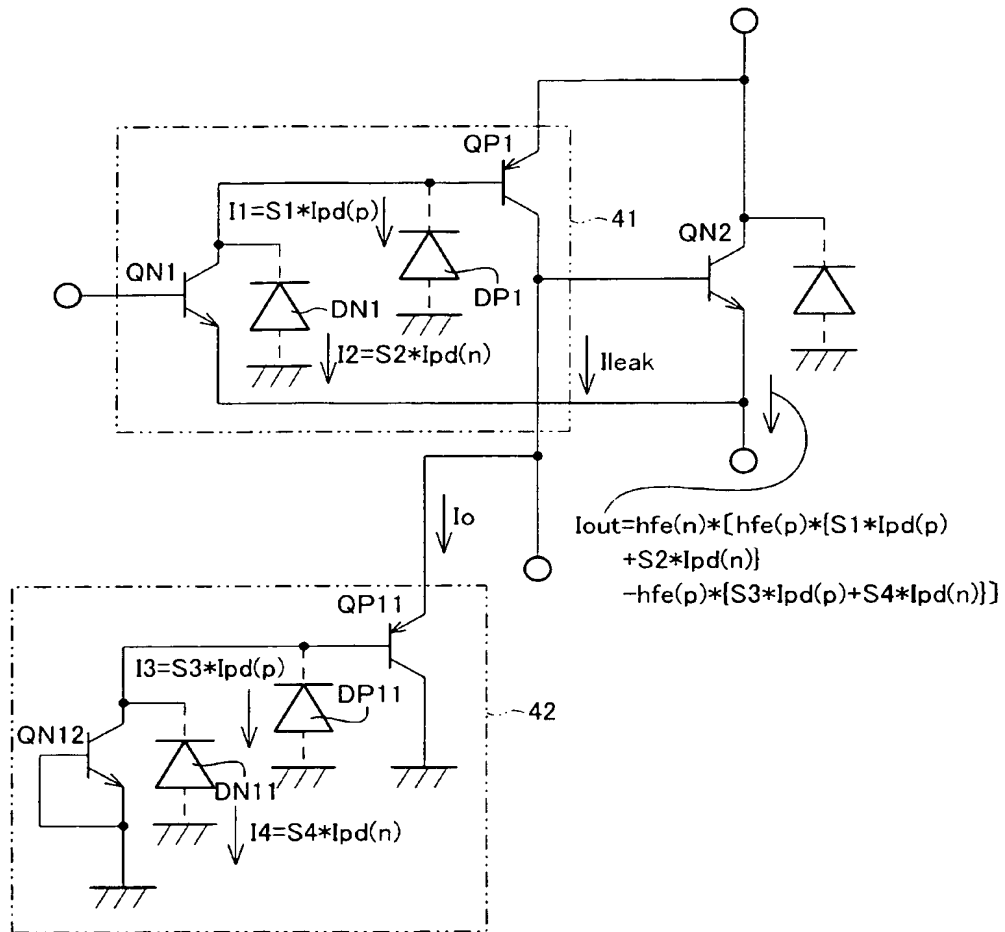
【図 3】



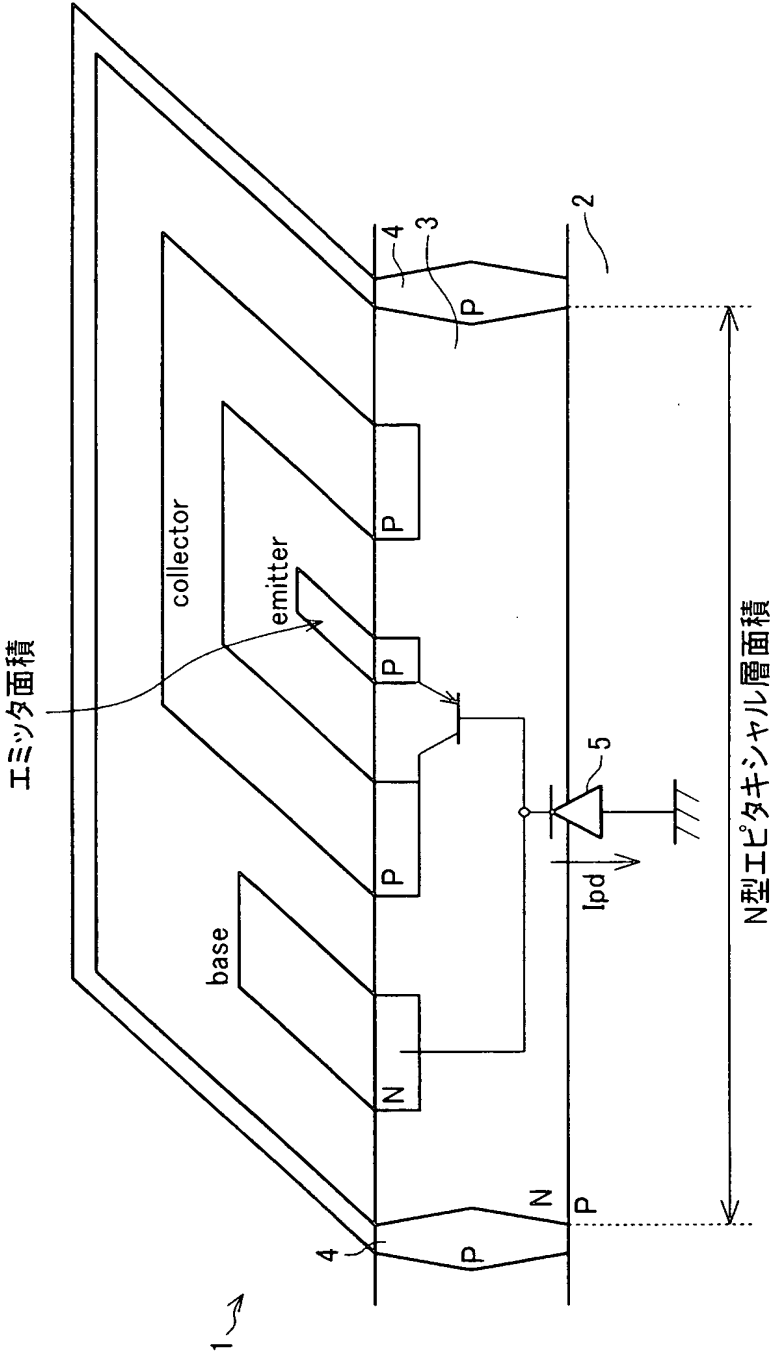
【图 4】



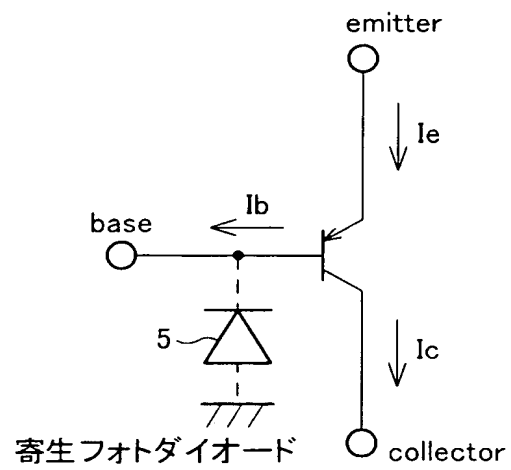
【図 5】



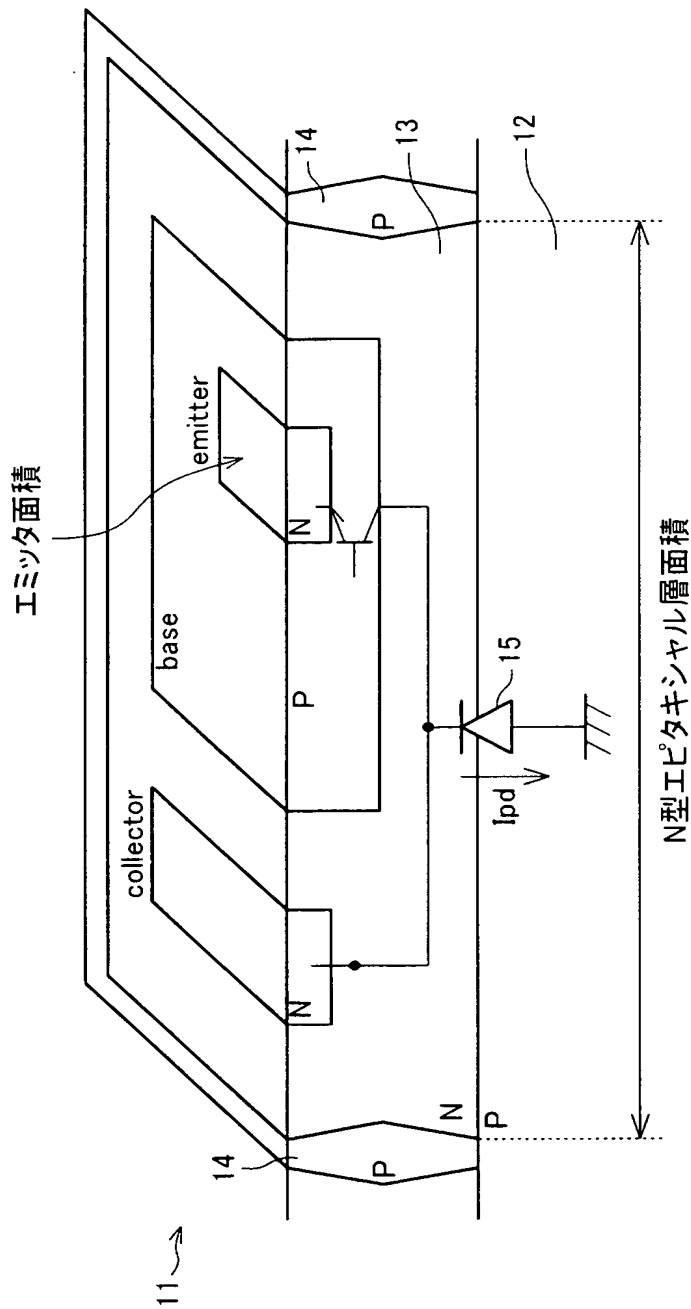
【図 6】



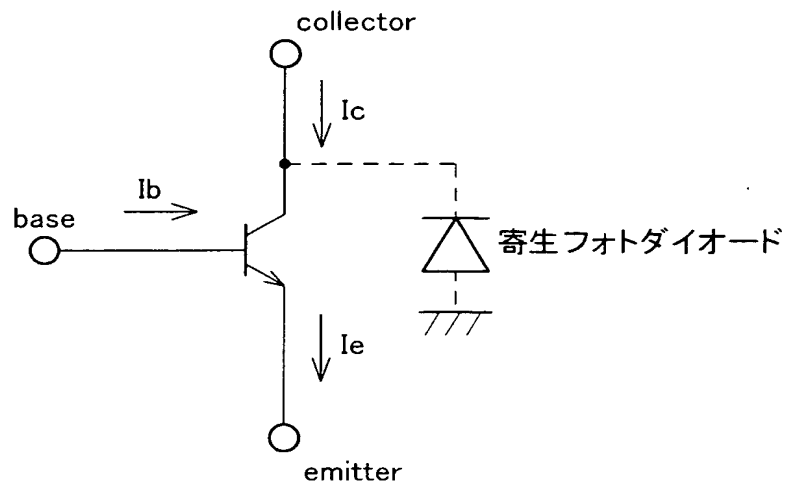
【図 7】



【図 8】

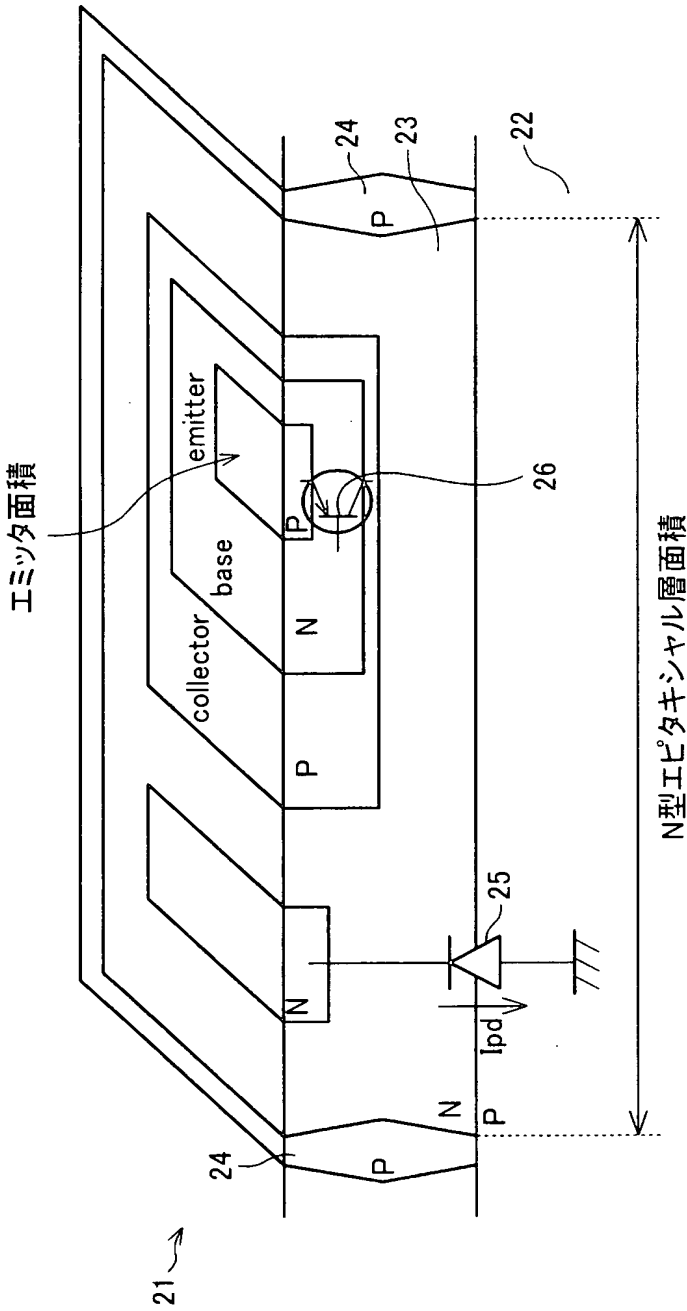


【図 9】

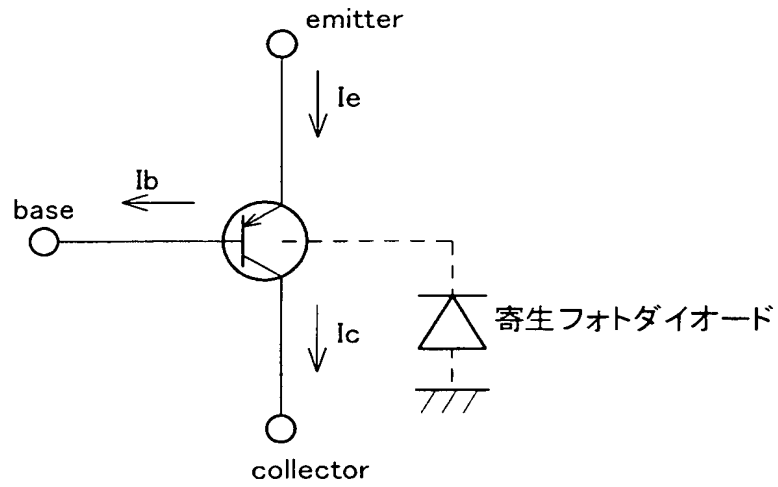




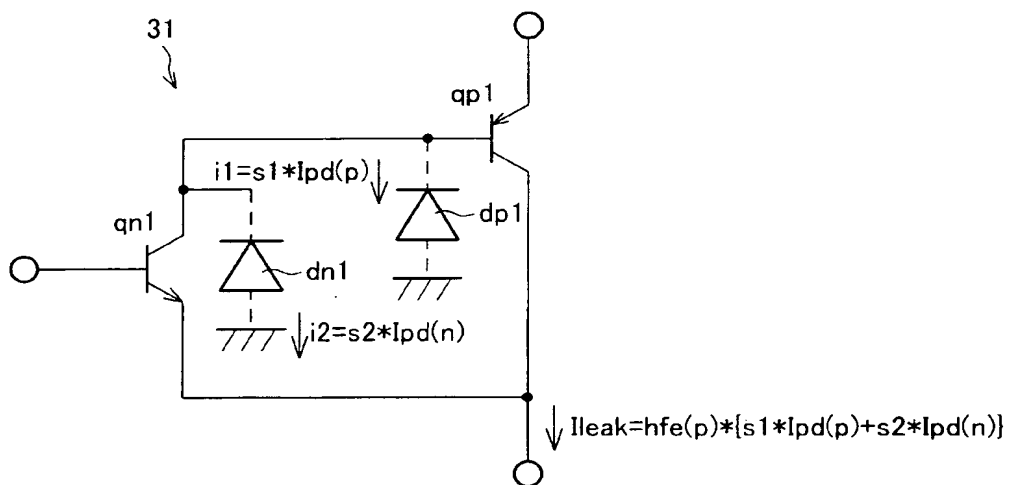
【図10】



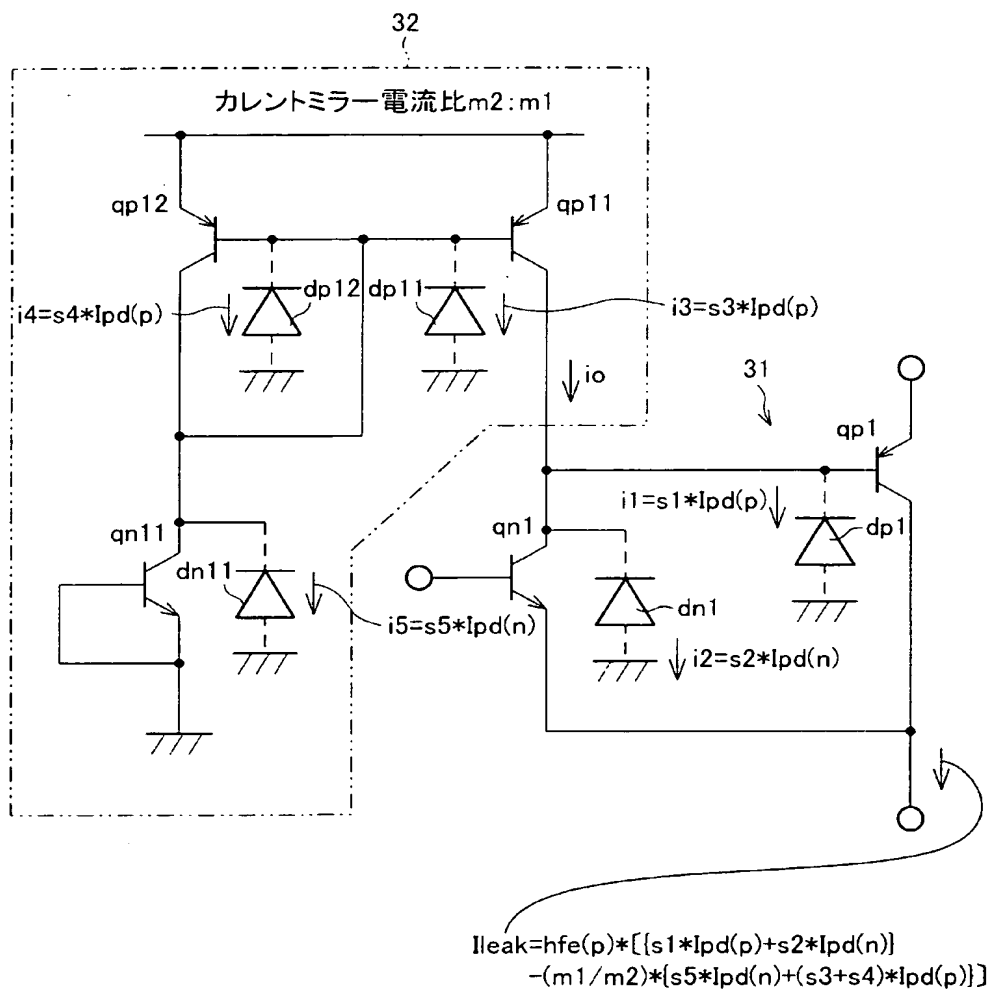
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 集積回路内でダーリントン回路41を構成し、N型エピタキシャル層の面積が大きいPNPトランジスタQP1のベースおよびNPNトランジスタQN1のコレクタにそれぞれ発生する光リーク電流 $I_1$ 、 $I_2$ を補償する補償回路42において、高精度に補償を行うとともに、チップ面積を抑制する。

【解決手段】 PNPトランジスタQP1のベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償するようにし、略同じ面積のN型エピタキシャル層を有するPNPトランジスタQP11およびNPNトランジスタQN11のダーリントン回路から成る前記補償回路42を光の影響が等しくなるように形成することで、光リーク電流 $I_{leak}$ を高精度に補償しつつ、前記チップ面積を抑制することができる。

【選択図】 図1

特願 2 0 0 2 - 3 8 1 6 9 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社